

공개특허 97-72358 1/2

① 대 한 민 국 특 허 청 (KR)
 ② 공 개 특 허 공 보 (A)

③ InL Cl.
 II 01 L 29/50

제 2658 호

④ 공개일자 1997. 11. 7
 ⑤ 출원일자 1996. 6. 1

⑥ 공개번호 97-72358
 ⑦ 출원번호 96-9774
 실사청구 : 있음

⑧ 발 명 사 항 명 익 경기도 성남시 분당구 수내동 55 둇데아파트 132·1504

⑨ 출 원 인 아님산업 주식회사 대표이사 황 인 신

서울특별시 성동구 성수 2가 280-8 (우: 133-120)

⑩ 대리인 법리사 서 만 규

(전 2면)

⑪ 반도체패키지의 제조방법 및 구조

⑫ 요 약

본 발명은 반도체패키지의 제조방법 및 구조에 관한 것으로 반도체장치의 저연을 외부도 노출시켜 표면화학식 발생되는 열단순의 효과를 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 향상시킬 목적으로, 패키지의 품질 및 외관에 위치한 바드는 절단하고, 물집부 내측에 위치한 바드는 그 저연은 외부로 노출시켜 마더보드에 실장 시 티도의 저연에서 신호전달을 하도록 함으로써 실장면적을 최소화할 수 있는 반도체패키지이다.

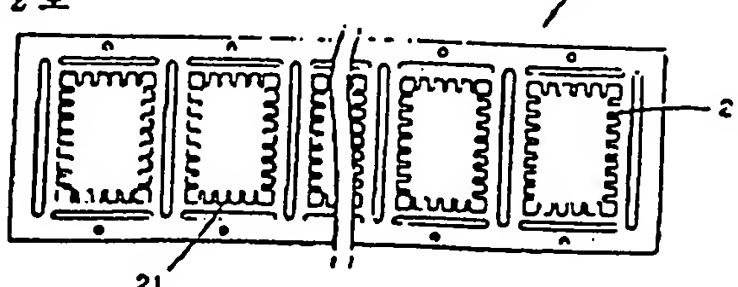
특허설구의 범위

1. 다수의 리드가 형성되고, 상기 다수의 리드 중 일부에는 침입재판이 없는 리드프레임을 형성하는 단계와; 상기 리드프레임의 다수의 리드 중앙부에 반도체침을 위치시켜 와이어본딩을 실시하는 단계와; 상기 와이어본딩된 리드, 반도체침 및 와이어를 외부의 신호 및 부식으로부터 보호하기 위하여 물당하는 단계와; 상기 단계 후에 물당영역 외각에 위치한 리드를 절단하는 단계로 이루어진 것을 특징으로 하는 반도체제작기지의 제조방법.
 2. 제1항에 있어서, 상기 와이어본딩은 배출홀(Vacuum Hole)이 형성된 허디플렉터 반도체침을 위치시켜 상기 배출홀로 공기를 끌어들여 반도체침을 치자고정하는 것을 특징으로 하는 반도체제작기지의 제조방법.
 3. 제1항에 있어서, 상기 물당단계는 예상 등지재를 사용하여 물당하는 것을 특징으로 하는 반도체제작기지의 제조방법.
 4. 제1항 또는 3항에 있어서, 예상 등지재를 사용하여 물당하기 전에 물당영역에 단을 형성하여 예상 등지재가 품위 낭비하는 것을 방지하는 것을 특징으로 하는 반도체제작기지의 제조방법.
 5. 제1항에 있어서, 상기 물당단계는 물드 침파운드를 사용하여 물당하는 것을 특징으로 하는 반도체제작기지의 제조방법.
 6. 제3항 또는 5항에 있어서, 상기 예상 등지재 및 물드 침파운드 물당 후, 150°C 이상의 고온에서 수시진 노출시켜 경화시키는 공정을 포함하는 것을 특징으로 하는 반도체제작기지의 제조방법.
 7. 제1항에 있어서, 상기 반도체제작기지의 저면에는 그라인드(Grind)를 실시하여 플래시(Flash)를 제거하는 것을 특징으로 하는 반도체제작기지의 제조방법.
 8. 제1항에 있어서, 상기 물당영역의 외각에 위치한 리드를 절단시 절단을 용이하게 하기 위하여 절단되는 부위의 리드에 노치(Notch)를 형성한 것을 특징으로 하는 반도체제작기지의 제조방법.
 9. 저반사 외부로 직접 노출되는 반도체침과; 상기 반도체침의 외측에 위치되고 물당영역을 빛나지 않으며 저반사 외부로 노출되어 저반사에서 신호의 입출력을 이루어지는 다수의 리드와; 상기 반도체침과 리드를 연결시켜주는 와이어와; 상기 반도체침, 리드 및 와이어를 외부 환경으로부터 보호하기 위하여 물당된 예상 등지재 또는 침파운드로 구성된 것을 특징으로 하는 반도체제작기지의 구조.
 10. 제9항에 있어서, 상기 물당된 예상 등지재 및 침파운드는 리드 및 반도체침의 상부로만 물당된 것을 특징으로 하는 반도체제작기지의 구조.
 11. 제9항에 있어서, 상기 반도체제작기지의 저면에는 플래시(Flash)의 제거를 위해 그라인드(Grind)된 것을 특징으로 하는 반도체제작기지의 구조.
 12. 제9항에 있어서, 리드프레임의 나수의 리드 중앙부에는 침입재판이 없는 것을 특징으로 하는 반도체제작기지의 구조.
- ※ 참고사항: 제조준원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

제2도는 본 발명에 적용되는 리드프레임을 도시한 평면도.

제 2 도



등록번호 97-72358 1/2

① 대한민국 특허청 (KR)
② 공개특허공보 (A)

③ InL Cl.
II 01 L 23/50

제 2658 호

④ 공개일자 1997. 11. 7
⑤ 출원일자 1996. 4. 1

⑥ 공개번호 97-72358

⑦ 출원번호 96-9774

실사청구: 있음

⑧ 발명자姓名: 경기도 성남시 분당구 수내동 55 드레이파드 132-1504

⑨ 출원인: 아남산업 주식회사 대표이사: 왕인선

서울특별시 성동구 성수 2가 280-8 (우: 133-120)

⑩ 대리인: 변리사 서만규

(전 2면)

⑪ 반도체패키지의 제조방법 및 구조

⑫ 요약

본 발명은 반도체패키지의 제조방법 및 구조에 관한 것으로, 반도체칩의 저온을 외부로 노출시켜 피드백시 발생되는 열팽창의 효과를 극대화하여 패키지의 수명을 연장시키고 신뢰성을 향상시킬目的이다. 패키지의 물체부 외측에 위치한 티드는 절단하고 물체부 내측에 위치한 티드는 그 자연은 외부로 노출시켜 마더보드에 실장시 티드의 자연에서 신호전달을 하도록 함으로써 실장면적을 최소화할 수 있는 반도체패키지이다.

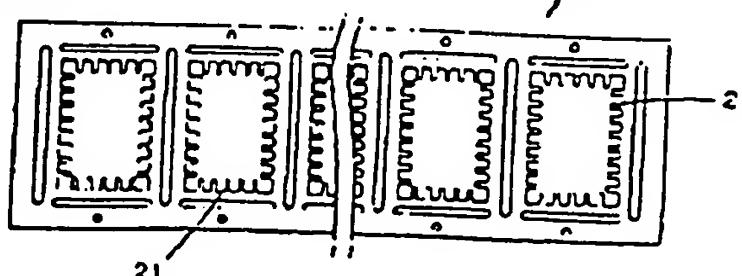
특허청구의 범위

1. 다수의 리드가 형성되고, 상기 다수의 리드 중 일부에는 침입재판이 없는 리드프레임을 형성하는 단계와; 상기 리드프레임의 다수의 리드 중앙부에 반도체침을 위치시켜 와이어본딩을 실시하는 단계와; 상기 와이어본딩된 리드, 반도체침 및 와이어를 외부의 신호 및 부식으로부터 보호하기 위하여 물딩하는 단계와; 상기 단계 후에 물딩영역 외각에 위치한 리드를 절단하는 단계로 이루어진 것을 특징으로 하는 반도체제작기지의 제조방법.
2. 제1항에 있어서, 상기 와이어본딩온 배운 올(Veining Hole)이 형성된 허더블럭에 반도체침을 위치시켜 상기 배운 올로 공기를 밀어들여 반도체침을 치자고정하는 것을 특징으로 하는 반도체제작기지의 제조방법.
3. 제1항에 있어서, 상기 물딩단자는 예상 통지체를 사용하여 물딩하는 것을 특징으로 하는 반도체제작기지의 제조방법.
4. 제1항 또는 3항에 있어서, 예상 통지체를 사용하여 물딩하기 전에 물딩영역에 물을 형성하여 예상 통지체가 물에 냅치는 것을 방지하는 것을 특징으로 하는 반도체제작기지의 제조방법.
5. 제1항에 있어서, 상기 물딩단자는 물드 킁과운드를 사용하여 물딩하는 것을 특징으로 하는 반도체제작기지의 제조방법.
6. 제3항 또는 5항에 있어서, 상기 예상 통지체 및 물드 킁과운드로 물망 후, 150°C 이상의 고온에서 수시간 노출시켜 경화시키는 증정을 포함하는 것을 특징으로 하는 반도체제작기지의 제조방법.
7. 제1항에 있어서, 상기 반도체제작기지의 저연에는 그라인드(Grind)를 실시하여 플래시(Flash)를 제거하는 것을 특징으로 하는 반도체제작기지의 제조방법.
8. 제1항에 있어서, 상기 물딩영역의 외각에 위치한 리드를 절단시 절단을 용이하게 하기 위하여 절단되는 부위의 리드에 노치(Notch)를 형성한 것을 특징으로 하는 반도체제작기지의 제조방법.
9. 저연이 외부로 직접 노출되는 반도체침과; 상기 반도체침의 외측에 위치되고 물딩영역을 뺏어나지 않으며 저연이 외부로 노출되어 저연에서 신호의 입출력을 이루어지는 다수의 리드와; 상기 반도체침과 리드를 연결시켜주는 와이어와; 상기 반도체침, 리드 및 와이어를 외부 환경으로부터 보호하기 위하여 물망된 예상 통지체 또는 킁과운드로 구성된 것을 특징으로 하는 반도체제작기지의 구조.
10. 제9항에 있어서, 상기 물딩된 예상 통지체 및 킁과운드는 리드 및 반도체침의 상부로만 물망된 것을 특징으로 하는 반도체제작기지의 구조.
11. 제9항에 있어서, 상기 반도체제작기지의 저연에는 플래시(Flash)의 제거를 위한 그라인드(Grind)된 것을 특징으로 하는 반도체제작기지의 구조.
12. 제9항에 있어서, 리드프레임의 다수의 리드 중앙부에는 침입재판이 없는 것을 특징으로 하는 반도체제작기지의 구조.

* 참고사항: 저조준원 내용에 의하여 공개하는 것임.
도면의 간단한 설명

제2도는 본 발명에 적용되는 리드프레임을 도시한 평면도.

제 2 도



(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.	H01L 23 /50	(11) 공개번호	특 1997-0072358
(21) 출원번호	특 1996-0009774	(43) 공개일자	1997년 11월 07일
(22) 출원일자	1996년 04월 01일		
(71) 출원인	아남산업 주식회사	황인길	
	서울특별시 성동구 성수 2가 280-8 (우 : 133-120)		
(72) 발명자	허영욱		
	경기도 성남시 분당구 수내동 55 콧데이파트 132-1504		
(74) 대리인	서안규		
	상세상수 : 있음		
(54) 반도체패키지의 제조방법 및 구조			

요약

본 발명은 반도체패키지의 제조방법 및 구조에 관한 것으로, 반도체칩의 저연을 외부로 노출시켜 회로동작시 발생되는 열 방출의 효과를 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 향상시킬온 물론 패키지의 물당부 외측에 위치한 리드는 절단하고, 물당부 내측에 위치한 리드는 그 저연을 외부로 노출시켜 마더보드에 실장시 리드의 저연에서 신호전달을 하도록 함으로서 실장면적을 최소할 수 있는 반도체패키지이다.

도1도**도2****영세서****[발명의 명칭]****반도체패키지의 제조방법 및 구조****[도면의 간단한 설명]**

제2도는 본 발명에 적용되는 리드프레임을 도시한 평면도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

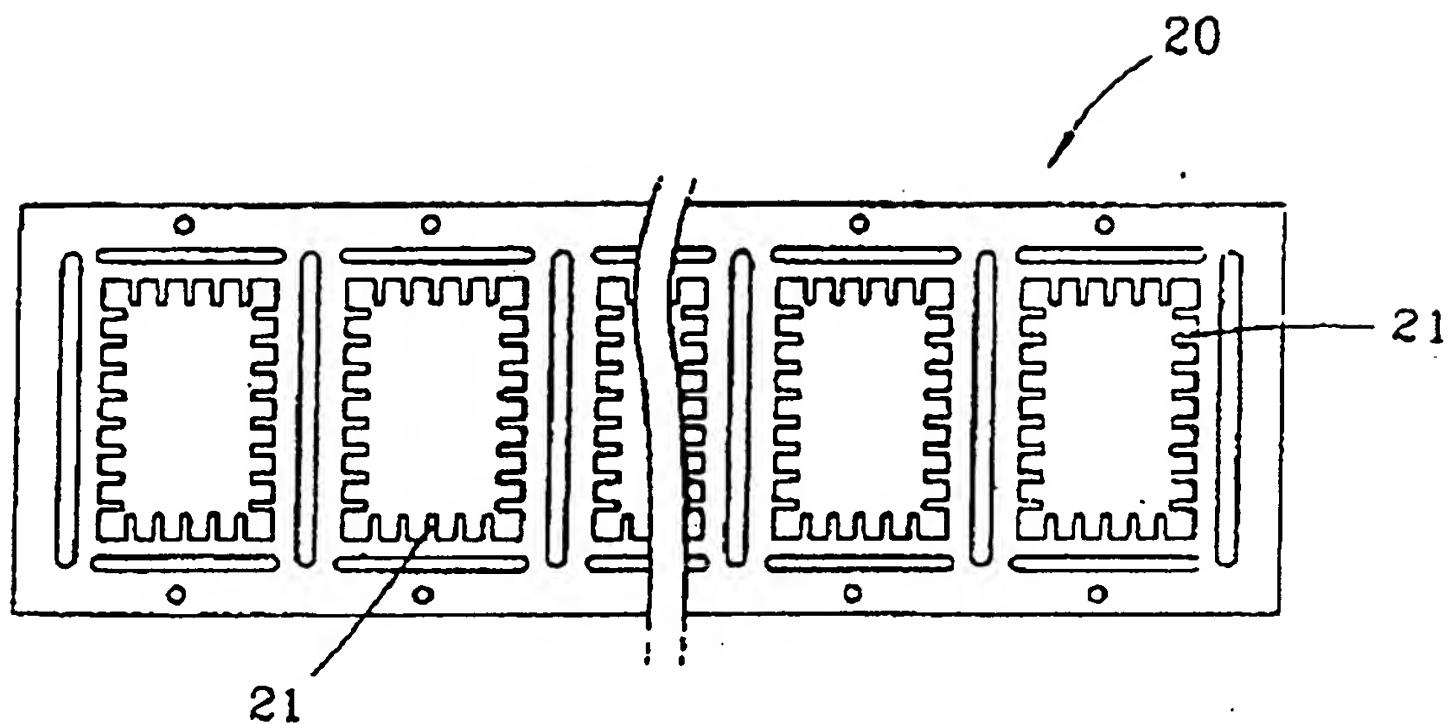
(5) 청구항

- 청구항 1. 다수의 리드가 형성되고, 상기 다수의 리드 중앙부에는 칩탑재판이 없는 리드프레임을 형성하는 단계와; 상기 리드프레임의 다수의 리드 중앙부에 반도체칩을 위치시켜 와이어본딩을 실시하는 단계와; 상기 와이어본딩된 리드, 반도체칩 및 와이어를 외부의 신화 및 부식으로부터 보호하기 위하여 울당하는 단계와; 상기 단계후에 울당영역 외각에 위치한 리드를 절단하는 단계로 이루어진 것을 특징으로 하는 반도체패키지의 제조방법.
- 청구항 2. 제1항에 있어서, 상기 와이어본딩은 배륨 흙(Vacuum Hole)이 형성된 히터블럭에 반도체칩을 위치시켜 상기 배륨 흙으로 공기틈 빙이하여 반도체칩을 지지 고정하는 것을 특징으로 하는 반도체패키지의 제조방법.
- 청구항 3. 제1항에 있어서, 상기 울당단계는 액상 봉지재를 사용하여 울당하는 것을 특징으로 하는 반도체패키지의 제조방법.
- 청구항 4. 제1항 또는 3항에 있어서, 액상 봉지재를 사용하여 울당하기 전에 울당영역에 담을 형성하여 액상 봉지재가 흘러 넘치는 것을 방지하는 것을 특징으로 하는 반도체패키지의 제조방법.
- 청구항 5. 제1항에 있어서, 상기 울당단계는 몰드 캄파운드를 사용하여 울당하는 것을 특징으로 하는 반도체패키지의 제조방법.
- 청구항 6. 제3항 또는 5항에 있어서, 상기 액상 봉지재 및 몰드 캄파운드로 울당 후, 150°C 이상의 고온에서 수시간 노출시켜 경화시키는 공정을 포함하는 것을 특징으로 하는 반도체패키지의 제조방법.
- 청구항 7. 제1항에 있어서, 상기 반도체패키지의 저연에는 그라인드(Grind)를 실시하여 플래쉬(Flash)를 제거하는 것을 특징으로 하는 반도체패키지의 제조방법.
- 청구항 8. 제1항에 있어서, 상기 울당영역의 외각에 위치한 리드를 절단시 절단을 용이하게 하기 위하여 절단되는 부위의 리드에 노치(Notch)를 형성함을 특징으로 하는 반도체패키지의 제조방법.
- 청구항 9. 저연이 외부로 직접 노출되는 반도체칩과; 상기 반도체칩의 외측에 위치되고 울당영역을 벗어나지 않으며 저연이 외부로 노출되어 저연에서 신호의 임출력이 이루어지는 다수의 리드와; 상기 반도체칩과 리드를 연결시켜주는 와이어와; 상기 반도체칩, 리드 및 와이어를 외부 환경으로부터 보호하기 위하여 울당된 액상 봉지재 또는 캄파운드로 구성된 것을 특징으로 하는 반도체패키지의 구조.
- 청구항 10. 제9항에 있어서, 상기 울당된 액상 봉지재 및 캄파운드는 리드 및 반도체칩의 상부로만 울당된 것을 특징으로 하는 반도체패키지의 구조.
- 청구항 11. 제9항에 있어서, 상기 반도체패키지의 저연에는 플래쉬(Flash)의 제거를 위해 그라인드(Grind)된 것을 특징으로 하는 반도체패키지의 구조.
- 청구항 12. 제9항에 있어서, 리드프레임의 다수의 리드 중앙부에는 칩탑재판이 없는 것을 특징으로 하는 반도체패키지의 구조.

* 참고사항: 최초출원 내용에 의하여 공개하는 것임.

도면

도면2



등록번호 97-72358 1/2

① 대 한 민 국 특 허 정 (KR)
② 공 개 특 허 공 보 (A)

③ InL Cl.
II 01 L 29/50

제 2658 호

④ 등록일자 1997. 11. 7
⑤ 출원일자 1996. 4. 1

⑥ 공개번호 97-72358

⑦ 출원번호 96-9774

심사청구 : 있음

⑧ 발 명 사 허 명 우 경기도 성남시 분당구 수내동 55 드레이파드 132-1504

⑨ 출 원 인 아닝산업 주식회사 대표이사 왕 인 선

서울특별시 성동구 성수 2가 280-8 (우: 133-120)

⑩ 대리인 법무사 서 만 구

(전 2면)

▣ 반도체패키지의 제조방법 및 구조

▣ 요 약

본 발명은 반도체패키지의 제조방법 및 구조에 관한 것으로, 반도체장치의 저연을 외부로 노출시켜 표면공작시 발생되는 열단순의 효과를 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 향상시킬은 물론, 패키지의 유통부 외측에 위치한 티드는 절단하고, 유통부 바닥에 위치한 티드는 그 차면을 외부로 노출시켜 마더보드에 설치 시 티드의 차면에서 신호전달을 하도록 함으로써 실증면적을 확보할 수 있는 반도체패키시이다.

특허청구의 범위

1. 다수의 리드가 형성되고, 상기 다수의 리드 중 일부에는 침입재판이 없는 리드프레임을 형성하는 반제와; 상기 리드프레임의 다수의 리드 중 일부에 반도체침을 위치시켜 와이어본딩을 실시하는 단자와; 상기 와이어본딩된 리드, 반도체침 및 와이어를 외부의 신호 및 부직으로부터 보호하기 위하여 물딩하는 단자와; 상기 단자 후에 물딩영역 외각에 위치한 리드를 절단하는 단자로 이루어진 것은 특징으로 하는 반도체제작기지의 제조방법.
2. 제1항에 있어서, 상기 와이어본딩후 배관 흔 (Valley Hole)이 형성된 허더블럭에 반도체침을 위치시켜 상기 배관 흔도 공기를 밀어들여 반도체침을 차지 고정하는 것을 특징으로 하는 반도체제작기지의 제조방법.
3. 제1항에 있어서, 상기 물딩단자는 액상 풍지재를 사용하여 물딩하는 것을 특징으로 하는 반도체제작기지의 제조방법.
4. 제1항 또는 3항에 있어서, 액상 풍지재를 사용하여 물딩하기 전에 물딩영역에 다른 형성하여 액상 풍지재가 둘러 낌치는 것을 방지하는 것을 특징으로 하는 반도체제작기지의 제조방법.
5. 제1항에 있어서, 상기 물딩단자는 물드 침파운드를 사용하여 물딩하는 것을 특징으로 하는 반도체제작기지의 제조방법.
6. 제3항 또는 5항에 있어서, 상기 액상 풍지재 및 물드 침파운드 물팅 후, 150°C 이상의 고온에서 수시간 노동시켜 경화시키는 공정을 포함하는 것을 특징으로 하는 반도체제작기지의 제조방법.
7. 제1항에 있어서, 상기 반도체제작기지의 저연어는 그라인드 (Grind)를 실시하여 플래시 (Flash)를 제거하는 것을 특징으로 하는 반도체제작기지의 제조방법.
8. 제1항에 있어서, 상기 물딩영역의 외각에 위치한 리드를 절단시 절단을 용이하게 하기 위하여 절단되는 부위의 리드에 노치 (Notch)를 형성한 것을 특징으로 하는 반도체제작기지의 제조방법.
9. 저연이 외부로 직접 노출되는 반도체침과; 상기 반도체침의 외측에 위치되고 물딩영역을 빛어나지 않으며 저연이 외부로 노출되어 저연에서 신호의 입출력을 이루어지는 다수의 리드와; 상기 반도체침과 리드를 연결시켜주는 와이어와; 상기 반도체침, 리드 및 와이어를 외부 환경으로부터 보호하기 위하여 물팅된 액상 풍지재 또는 침파운드로 구성된 것을 특징으로 하는 반도체제작기지의 구조.
10. 제9항에 있어서, 상기 물팅된 액상 풍지재 및 침파운드는 리드 및 반도체침의 상부로만 물팅된 것을 특징으로 하는 반도체제작기지의 구조.
11. 제9항에 있어서, 상기 반도체제작기지의 저연에는 플래시 (Flash)의 제거를 위해 그라인드 (Grind) 된 것을 특징으로 하는 반도체제작기지의 구조.
12. 제9항에 있어서, 리드프레임의 다수의 리드 중 일부에는 침입재판이 없는 것을 특징으로 하는 반도체제작기지의 구조.

* 참고사항: 저조를 위한 내용에 의하여 공개하는 것임.

도면의 간단한 설명

제2도는 본 발명에 적용되는 리드프레임을 도시한 평면도.

제 2 도

